

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-316968

(43)公開日 平成8年(1996)11月29日

(51)Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 04 L 12/28		9466-5K	H 04 L 11/20	H
H 04 Q 3/00			H 04 Q 3/00	
3/52	101	9566-5G	3/52	101Z

審査請求 未請求 請求項の数 4 OL (全 9 頁)

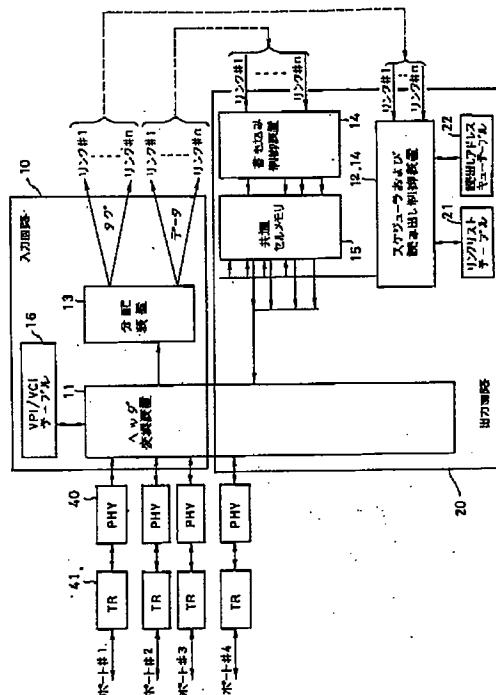
(21)出願番号	特願平7-123774	(71)出願人	000003078 株式会社東芝 神奈川県川崎市幸区堀川町72番地
(22)出願日	平成7年(1995)5月23日	(72)発明者	野上 和男 東京都日野市旭が丘3丁目1番地の1 株 式会社東芝日野工場内
		(74)代理人	弁理士 木村 高久

(54)【発明の名称】 ATMスイッチ

(57)【要約】

【目的】メモリ容量が小さく制御方法が簡単で、小型で処理能力が高く廉価なATMスイッチの実現を目的とする。

【構成】入力セルをタグ部分とデータ部分に分け、データ部分を共通セルメモリ(15)に、タグ部分をデータ部分の共通セルメモリ(15)での記憶アドレスと共にスケジューラ(12)に記憶し、スケジューラ(12)で共通セルメモリ(15)からのセルの読み出しを制御する。



1

2

【特許請求の範囲】

【請求項1】 1つまたは複数の入力回路手段と、
共通記憶手段と、
1つまたは複数の出力回路手段とを有し、
前記入力回路手段に入力されたセルが有する通信経路識別子から行き先アドレスを読み取り、
前記セルを前記共通記憶手段の所定の記憶アドレスに一時記憶した後、競合しないタイミングで前記セルを前記行き先アドレスに対応する前記出力回路手段に出力するATMスイッチにおいて、
前記セルを該セルの種別、品質、接続経路等を表す表示部分とデータを表す情報部分に分離するセル分離手段と、
前記セル分離手段が分離した前記表示部分と前記共通記憶手段の前記記憶アドレスを一組にしてセル選択子を構成するセル選択子構成手段と、
前記セル選択子構成手段が構成した前記セル選択子を用いて前記共通記憶手段からの前記セルの読み出しを制御する読み出し制御手段とを具備することを特徴とするATMスイッチ。

【請求項2】 前記共通記憶手段は前記セル分離手段が分離した前記情報部分のみを記憶することを特徴とする請求項1記載のATMスイッチ。

【請求項3】 前記入力回路手段と前記共通記憶手段間の接続回線および前記共通記憶手段と前記出力回路手段間の接続回線に時分割多重回線を使用することを特徴とする請求項1または請求項2記載のATMスイッチ。

【請求項4】 前記入力回路手段は前記セルの通信経路識別子をATMスイッチ内部の内部識別子に変換する識別子変換手段を有し、前記出力回路手段は前記内部識別子を前記通信経路識別子に復元する識別子復元手段を有することを特徴とする請求項1または請求項2または請求項3記載のATMスイッチ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ATM交換機に用いられるATMスイッチに関し、特にATMスイッチにおけるバッファメモリの制御方式に関する。

【0002】

【従来の技術】 ATM交換機に用いられるATMスイッチは、別名セルフルーティングスイッチとも呼ばれ、入力ポートから入力されるセルのセルヘッダ内に付されたアドレスに従って、ハードウェアで自動的にそのセルを目的の出力ポートに割り当ててスイッチング機能を実現している。この時、同時に入力された同じアドレスを持つセル同士の衝突を避けるために、バッファメモリを用いてセルの送出に時間差を設ける競合制御という制御が採られている。

【0003】 この競合制御のためのバッファメモリはATMスイッチ内で種々の位置に設けることができる。こ

のバッファメモリの設置位置でATMスイッチ100を分類すると図7および図8に示すようになる。

【0004】 図7(a)は、クロスポイント型と呼ばれるもので、ATMスイッチ100を構成する各セルフルーティング素子(S)101と次のセルフルーティング素子(S)101の交点間にバッファメモリ(B)102を設けて、1つのセルフルーティング素子(S)101に同時にセルが入力されることを防止している。この方法はシンプルな方法で制御も容易であるが、メモリ容量の総合計数が交点数に比例して多くなるという欠点がある。

【0005】 図7(b)に示したものは、共通バッファ型と呼ばれるもので、各入力ポートからのセルを多重化装置103で多重化し共通メモリ104に一旦バッファし、多重分離装置105の条件に合わせて出力して多重分離装置105で分離して出力する方法である。この方式ではスイッチ全体でメモリを共用するようしているため、メモリ容量の総数は各方式中最も少なくてすむが、全体のトラヒックを見渡した制御が必要となり、複雑な制御を行う必要がある。

【0006】 図8(a)に示したものは出力側にバッファを持たせた出力バッファ型と呼ばれるもので、入力されたセルを多重化装置103で多重化した後、バスラインに出力し、出力バッファ106はバスラインから自己の属する出力ポートに向けられたセルを取り出して適当なタイミングで読み出す方法である。この方法では入力ポートから出力バッファ106に至るまでの間での衝突制御が必要である。

【0007】 図8(b)に示したものは入力側に入力バッファ107を持たせた入力バッファ型と呼ばれるものである。この方式では後段のセルフルーティングスイッチ108内で衝突が起きないように、入力されたセルを入力バッファ107で適当なタイミングを計ってセルフルーティングスイッチ108に入力させので、入力バッファ107の読み出し制御が複雑になる。

【0008】 以上にあげたこれらの方法は比較的メモリ容量が小さいものは制御方法が複雑であり、比較的制御方法が簡単なものは大きなメモリ容量を必要とし、いずれの方法にも一長一短が有ってどれが良いとはいえない。

【0009】

【発明が解決しようとする課題】 上述のごとく、従来のATMスイッチの各方式はセルの衝突を避けるためのバッファメモリ容量と制御処理の関係で一長一短があり、小型で処理能力が高く、廉価なATM交換機を実現するという目的にはいずれも問題があった。

【0010】 本発明はこの点に着目し、これらの方針のうちでメモリ容量の最も少ない共通バッファ型を採用しながら、簡単な制御方法で処理できるATMスイッチを実現することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、1つまたは複数の入力回路手段と、共通記憶手段と、1つまたは複数の出力回路手段とを有し、前記入力回路手段に入力されたセルが有する通信経路識別子から行き先アドレスを読み取り、前記セルを前記共通記憶手段の所定の記憶アドレスに一時記憶した後、競合しないタイミングで前記セルを前記行き先アドレスに対応する前記出力回路手段に出力するATMスイッチにおいて、前記セルを該セルの種別、品質、接続経路等を表す表示部分とデータを表す情報部分に分離するセル分離手段と、前記セル分離手段が分離した前記表示部分と前記共通記憶手段の前記記憶アドレスを一組にしてセル選択子を構成するセル選択子構成手段と、前記セル選択子構成手段が構成した前記セル選択子を用いて前記共通記憶手段からの前記セルの読み出しを制御する読み出し制御手段とを具備することを特徴とする。

【0012】また、前記共通記憶手段は前記セル分離手段が分離した前記情報部分のみを記憶することを特徴とする。

【0013】また、前記入力回路手段と前記共通記憶手段間の接続回線および前記共通記憶手段と前記出力回路手段間の接続回線に時分割多重回線を使用することを特徴とする。

【0014】また前記入力回路手段は前記セルの通信経路識別子をATMスイッチ内部の内部識別子に変換する識別子変換手段を有し、前記出力回路手段は前記内部識別子を前記通信経路識別子に復元する識別子復元手段を有することを特徴とする。

【0015】

【作用】本発明によれば、セルの表示部分とメモリアドレスを共通に管理し、この管理結果を用いてメモリからのセルの読み出しを制御するようにした。これにより、メモリ容量の少ない共通バッファ型を採用しながら、簡単な制御方法を用いることができ、小型で処理能力が高く、廉価なATM交換機を実現することができる。

【0016】

【実施例】以下、本発明にかかるATMスイッチを添付図面を参照して詳細に説明する。図1は、本発明のATMスイッチの一実施例のブロック図、図2はATMスイッチの概念図である。

【0017】実施例の具体的な説明に入る前に先ず図2に添ってATMスイッチの構成の概念を説明する。

【0018】図2において、10は入力ポート#1～#nにそれぞれ対応している複数の入力回路である。この対応する入力ポートから入力されるセルを複数の出力ポート#1～#nに対応する出力回路20にセルのセルヘッダに記されたアドレスに従って選択して送り出すことがATMスイッチの機能である。

【0019】20は複数の出力回路で、それぞれ複数の

出力ポート#1～#nに対応し、入力回路10からのセルを受け取って対応する出力ポートに出力する。

【0020】30は配線部で入力回路10と出力回路20とを結ぶ回線で構成される。図では、入力回路10と出力回路20とを1対1の線で結んで示しているが、セルが伝送できるものであるかぎり、実装、仮想、バス、単線等の形式を問わずどのような回線であっても良い。

【0021】この構成で、入力ポートから入力されたセルのセルヘッダに記されたアドレスを解読して回線を選択し、そのセルを所望の出力ポート送り出すセルフルーティング機能は、入力回路10、出力回路20、配線部30のいずれかに、あるいは複数の各部に分担させて持たせることが出来る。

【0022】図1は、本発明の一実施例によるATMスイッチの入力回路10および出力回路20を中心に示したのブロック図である。

【0023】外部の回線または端末からのセルは各ポートから送受信回路(TR)41、物理インターフェース(PHY)40を経て、入力回路10のヘッダ変換装置

20 11の入力部に入力される。ヘッダ変換装置11の入力部ではセルに付されたVPI/VCI(仮想バス識別子/仮想チャネル識別子)を解読し、ATMスイッチ内の識別子と変換する。識別子を変換されたセルは分配装置13でペイロードと呼ばれるデータ情報と識別子などの接続情報や情報のトラヒック品質を示す情報を含むタグ情報とに分離される。この時、同一セルのデータ情報とタグ情報とは配線部30の同一のリンク番号#1～#nの配線を経て出力回路20に送られる。

【0024】入力回路10から読み出されたデータ情報30は配線部30を経て、出力回路20の書き込み制御回路14の制御により共通セルメモリ15に入力される。この時の共通セルメモリ15への書き込みアドレスはスケジューラ12に通知される。

【0025】一方、入力回路10から読み出されたタグ情報は配線部30を経て、出力回路20のスケジューラ12に入力され、書き込み制御回路14からの書き込みアドレスと共にキューマネージャー13に記憶される。スケジューラ12はさらにリンク番号#1～#nとセルの対応をリンクリストテーブル21として作成して記憶する。

【0026】その後スケジューラ12は記憶されたセルのトラヒック品質を考慮してセル読み出しの優先順位をきめ、タイミングを調整して、各セルのタグ情報を参照して共通セルメモリ15よりセルのデータ情報を読みだし、そのセルが送出されるべき外部回線に対応するヘッダ変換装置11の出力部に送る。ヘッダ変換装置11の出力部ではセルに付されたATMスイッチ内の識別子を外部回線でのVPI/VCI(仮想バス識別子/仮想チャネル識別子)と変換し、物理インターフェース(PHY)40、送受信回路(TR)41を経て外部回線に出

力する。

【0027】このように、セルをタグ部分とデータ部分に分け、タグ部分をスケジューラ12にデータ部分を共通セルメモリ15に記憶することによって、全体のメモリ容量を少なくすることができる。またセルの競合制御を集中して実行できるので制御装置を簡単に処理ソフトを簡略にすらすことができ、処理上の誤りを少なくできる。さらに配線部30をバス形式にすらすことが可能になり、処理を一層簡略化できる。等のメリットが生まれる。

【0028】図3は、図1に示した実施例の入力回路10の詳細ブロック図である。この入力回路10は4つのポートあるいは1つのリンクが設けられている。

【0029】図3で、送受信回路から各ポートに入力されたセル信号は物理インタフェース(PHY)40を経由してヘッダ変換装置11の1次バッファメモリ42-1に記憶される。各ポートは基本ビットレート155.52Mbps以下の信号を入力することができる。

【0030】1次バッファメモリ42-1に記憶されたセルは制御バスからの制御信号の制御で競合を避けデータバスに順次読み出されてさらに2次バッファメモリ42-2に記憶される。一方、ビットレート155.52Mbps以上の信号はリンクとして入力され、セルは直接2次バッファメモリ42-2に記憶される。

【0031】次に記憶されたセルは2次バッファメモリ42-2から読み出され、セルヘッダ部分をVPI/VCIテーブル16を参照してATMスイッチ内での識別子に変換される。

【0032】その後、セルは分配装置13でデータ情報とタグ情報に分離され、データ情報はアドレスフィルタ43でヘッダ変換装置11の出力部アドレスに対応するリンク別に分類され、並列直列変換器44で直列信号に変換されてデータ情報側の各リンクに出力される。タグ情報も並列直列変換器44で直列信号に変換され、データ情報と同一リンク番号が付されたタグ情報側のリンクに出力される。

【0033】制御装置50は制御部51とRAM52とROM53で構成され、制御バスを通じて入力セルのバッファメモリ42に対する読み込み、読み出し制御、ヘッダ変換制御およびVPI/VCIテーブル16の管理等を行う。また出力側においても同様に出力セルのバッファメモリ42に対する読み込み、読み出し制御、ヘッダ変換制御を行う。

【0034】図4は、図1に示した実施例の出力回路20の詳細ブロック図である。

【0035】ヘッダ変換装置11の出力部は入力回路10の分配装置13で分離されたデータ情報とタグ情報がそれぞれ対応するリンクから入力される。タグ情報はVPI/VCIテーブル16を参照して外部回線で用いられる識別子に変換され、2次バッファメモリ42-2に

10

20

30

40

50

一旦記憶される。ビットレート155.52Mbps以下の信号はこの後、データバスを経由して各ポート毎に対応する出力1次バッファメモリ42-1に記憶され、出力タイミングを計って、物理インタフェース(PHY)40を経て各ポートに出力される。

【0036】ビットレート155.52Mbps以上の信号はバッファメモリ42-2よりリンクとして出力される。

【0037】図5は、本発明の他の実施例のATMスイッチのブロック図である。図5においても図1と同じ機能のブロックには同じ番号を付している。

【0038】各ポートに入力されたセル信号は物理インタフェース(PHY)40を経由して各ポートに対応するヘッダ変換装置11に入力される。ヘッダ変換装置11ではこの図では図示されていないVPI/VCIテーブルを用いて入力セルの識別子の変換を行い、セルのデータ情報を共有セルメモリ15に記憶する。共有セルメモリ15の記憶領域は各ヘッダ変換装置11に割り付けられており、割り付けられた記憶領域内部へのセルの割振りはヘッダ変換装置11で独自に行える。

【0039】一方、セルのタグ情報部分はキューレコードとして、先ほどのデータ情報の共有セルメモリ15への書き込みアドレスと対にしてスケジューラ12に送られる。スケジューラ12ではヘッダ変換装置11から入力キュー選択子と書き込みアドレスとを受けるとキューレコードと書き込みアドレスをキューリストラップ13に登録する。

【0040】ヘッダ変換装置11と共有セルメモリ15間の書き込みデータ情報および書き込みアドレスの伝送回線は各ヘッダ変換装置11に共通なTDM(時分割多重)多重バスであり、各ヘッダ変換装置11は時分割的に自己に割り当てられた時間スロットを使って他のヘッダ変換装置11とセル衝突を起こす心配なく共有セルメモリ15にアクセスできる。

【0041】次に、スケジューラ12は、キューリストラップ13に登録されたメモリアドレスとタグ情報を含むキューレコードを用いスケジュールアルゴリズムに従ってメモリコントローラ14を駆動し、共有セルメモリ15に記憶されているセルを順に読み出していく。読み出しは次に输出すべきセルが格納されているメモリアドレスを出力することで実行される。共有セルメモリ15とヘッダ変換装置11間の読み出しデータ情報の伝送回線も書き込み回線と同様なTDM多重バスなので、各ヘッダ変換装置11は自己に割り当てられた時間スロットを監視して、自己のタイムスロットからセルを取り込む。メモリコントローラ14が共有セルメモリ15に読みだしアドレスを送る回線もTDM多重バスであり、書き込み時に各ヘッダ変換装置11に割り付けられた記憶領域に直接アドレス指定できる。

【0042】各ヘッダ変換装置11は取り込んだセルの

識別子をVPI/VCIテーブルを用いて外部のものに書き換え、物理インターフェース(PHY)40を経由して対応するポートに送り出す。

【0043】このATMスイッチでは、スケジューラ12に送られるキュー選択子にセルのトラヒック品質を考慮した情報を含め、それに基づいてスケジューラ12でセル読み出しの優先順位を選択してセル交換を行うことができる。また、先に述べたように共有セルメモリ15への伝送回線にTDM多重バスを用いているため、回線の制御のアルゴリズムが簡単になりは回線制御が容易である。

【0044】図6は、本発明の実施例で用いられるタグ情報とデータ情報のセルフォーマットの一例を示したものである。

【0045】セルはともに64バイトのセル形式で、図6(a)はタグ情報、図6(b)はデータ情報である。

【0046】図6(a)のタグ情報は0バイト目がセルの有効無効を示す情報(Vaid)、1バイト目がセルのペイロード型を示す情報(PT1~PT4)、2バイト目がATMの品質を表すトラヒッククラス(CL1~CL4)、3バイト~9バイト目がメモリ制御用で3バイト目がメモリチップの選択情報(CS1~CS4)、4バイト目がポート番号(port1~port4)、5バイト目以降9バイト目までがメモリアドレス、10バイト目がリンク番号(L1~L4)、11バイト目から6バイトが物理インターフェースに関する情報とVCIで残りは無効情報である。

【0047】図6(b)のデータ情報は0バイト目がセルの有効無効を示す情報(Vaid)と生成フロー制御(GFC1~GFC3)、1バイト目がセルのペイロード型を示す情報(PT1~PT4)、2バイト目がATMの品質を表すトラヒッククラス(CL1~CL4)、3バイト目がポート番号(port1~port4)、4バイト目がリンク番号(L1~L4)、5バイト目以降10バイト目までが物理インターフェースに関する情報とVCIで、11バイト目以降に本来のセルのペイロード部分とVPI、VCI、生成フロー制御GFCおよびヘッダ誤り修正情報HECがマッピングされる。

【0048】図6(b)のデータ情報はこの形式で共有セルメモリに、図6(a)のタグ情報はその有効部分がキュー管理テーブルに記憶される。

【0049】以上は64バイトの形式を示したが、図6(a)のタグ情報では末尾の53バイト目以降の11バイト、図6(b)のデータ情報では0~10バイト目の11バイトを省略した53バイト形式を使用しても良い。この場合、その分、メモリ容量が節約できる。

【0050】

【発明の効果】以上説明したように本発明では、いわゆる共通バッファ型のATMスイッチにおいて、セルをセルの種別、品質等を表す表示部分とデータを表す情報部

分に分離し、この表示部分と共通記憶手段でのセルの記憶アドレスを一組にしてセル選択子を構成し、このセル選択子を用いて共通記憶手段からのセルの読み出しを共通の制御手段で制御するようにした。

【0051】また、共通記憶手段はセルの情報部分のみを記憶するようにする。

【0052】また、入力回路手段と共通記憶手段間の接続回線および共通記憶手段と出力回路手段間の接続回線に時分割多重回線を使用するようとする。

10 【0053】また、セルの通信経路識別子をATMスイッチ内部では内部識別子に簡略化するようにする。

【0054】このように、本発明によれば、セルの表示部分と共通記憶手段記憶アドレスとを用いてセル選択子を構成し、これを用いて共通記憶手段からのセルの読み出しを制御するようにした。これにより、共通記憶手段からのセルの読み出し制御を一元化でき、メモリ容量の少ない共通バッファ型を採用しながら、回路構成を単純にし、制御方法を簡略にできる。

【0055】さらに、共通記憶手段周辺の接続回線に時分割多重回線を使用したので、共通記憶手段の書き込み制御および読み出し制御を更に一層簡単に出来る。

20 【0056】さらに、共通記憶手段へのセルの記憶を情報部分のみにすることで記憶容量の削減が、セルの通信経路識別子をATMスイッチ内部で書き替えることで制御の一層の簡略化が図れる。

【0057】これらによって、メモリ容量が少なく、回路構成と制御方法が簡略な、小型で処理能力が高く、廉価なATM交換機を実現することができる。

【図面の簡単な説明】

30 【図1】本発明の一実施例によるATMスイッチのプロック図。

【図2】本発明のATMスイッチの概念図。

【図3】図1に示すATMスイッチの実施例の入力回路のプロック図。

【図4】図1に示すATMスイッチの実施例の出力回路のプロック図。

【図5】本発明の他の実施例のATMスイッチのプロック図。

40 【図6】本発明の実施例で用いられるタグ情報とデータ情報のセルフォーマットの一例。

【図7】バッファメモリの設置位置によるATMスイッチの分類。

【図8】バッファメモリの設置位置によるATMスイッチの分類。

【符号の説明】

10 入力回路

11 ヘッダ変換装置

12 スケジューラ

13 キュー管理テーブル

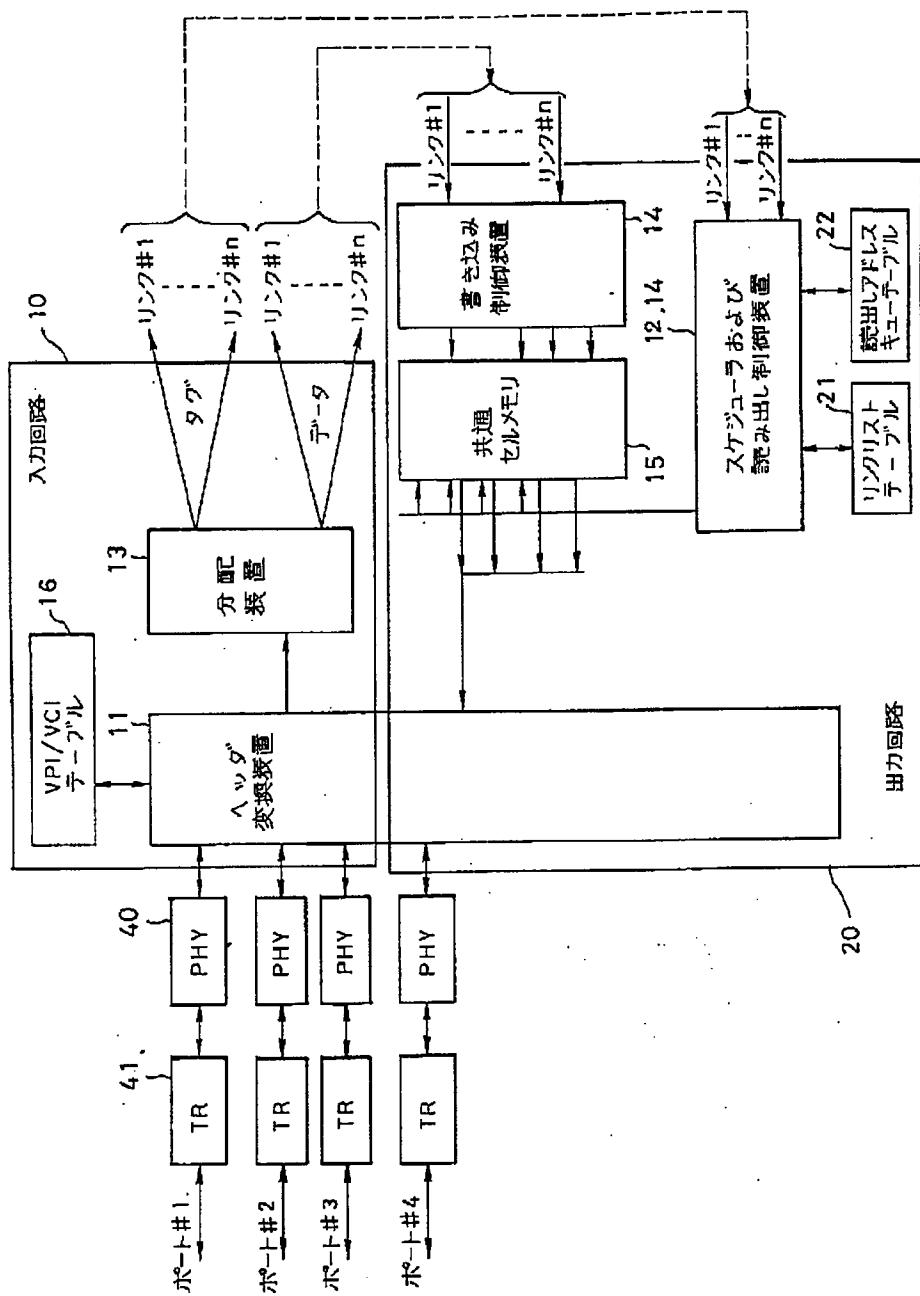
50 14 メモリ制御装置

9

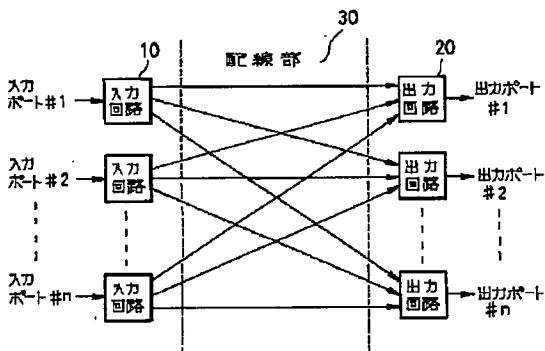
10

- | | |
|---------------------|-------------------|
| 1 5 共通セルメモリ | 4 2 - 2 2次バッファメモリ |
| 1 6 VPI/VCI テーブル | 4 3 アドレスフィルタ |
| 2 0 出力回路 | 4 4 並列直列変換器 |
| 2 1 リンクリストテーブル | 5 0 制御装置 |
| 2 2 読み出しアドレスキューテーブル | 5 1 制御部 |
| 3 0 配線部 | 5 2 RAM |
| 4 0 物理インターフェース | 5 3 ROM |
| 4 1 送受信回路 | 1 0 0 ATMスイッチ |
| 4 2 - 1 1次バッファメモリ | |

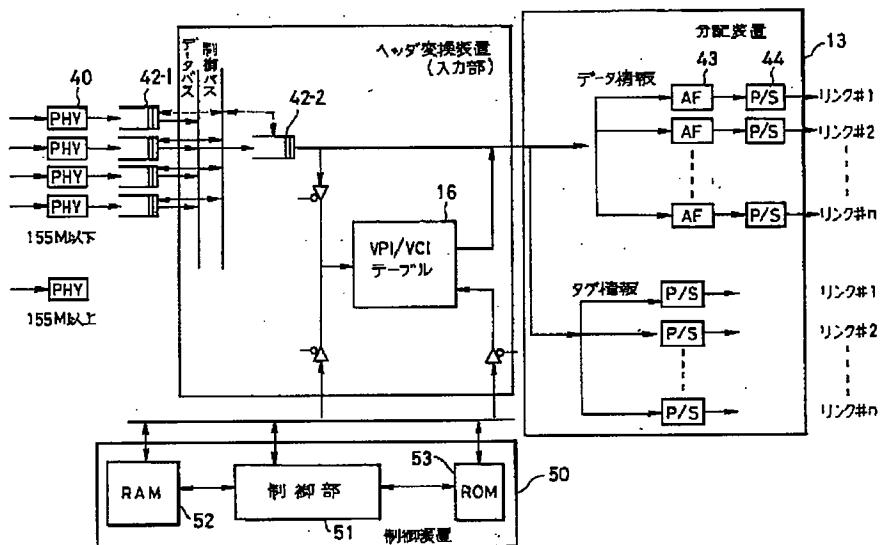
【図1】



【図2】



【図3】



【図6】

タグ情報

(a)

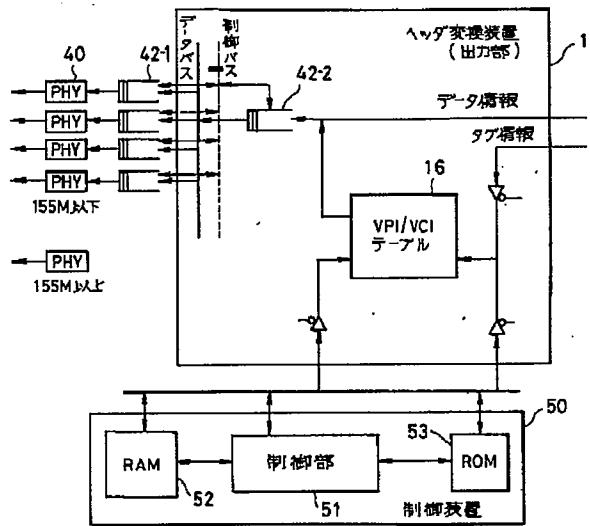
0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	-----	-----	63
Valid	PT1	CL1	CS1	port1	ad1	ad5	ad9	ad13	ad17	L1									
	PT2	CL2	CS2	port2	ad2	ad6	ad10	ad14	ad18	L2	PHY -VCI								
	PT3	CL3	CS3	port3	ad3	ad7	ad11	ad15	ad19	L3									
	PT4	CL4	CS4	port4	ad4	ad8	ad12	ad16	ad20	L4									

データ構造

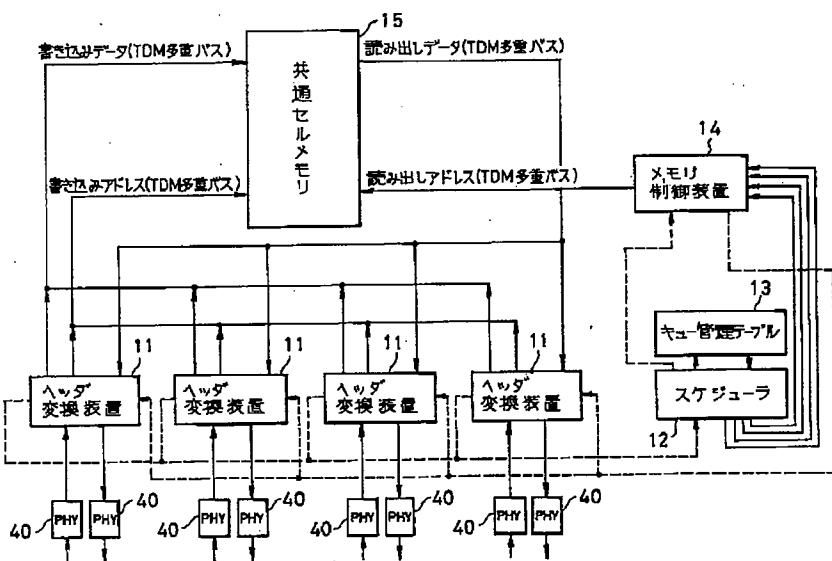
(b)

0	1	2	3	4	5	6	-----	10	11	-----	-----	63
Valid	PT1	CL1	port1	L1								
CFC1	PT2	CL2	port2	L2	PHY-VCI			Payload + VPI + VCI + GFC + HEC				
CFC2	PT3	CL3	port3	L3								
CFC3	PT4	CL4	port4	L4								

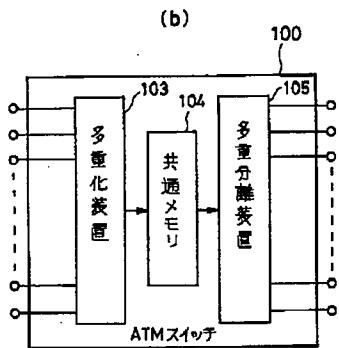
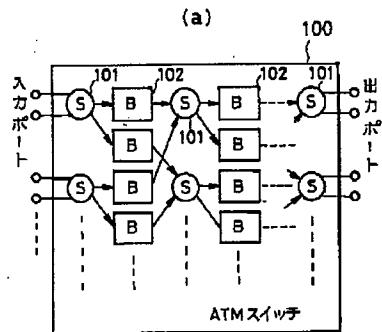
【図4】



【図5】



【図7】



【図8】

